

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

06-224426Aug. 12, 1994
SEMICONDUCTOR DEVICE

L7: 1 of 1

INVENTOR: TOSHIHIKO UNO, et al. (1)

ASSIGNEE: MATSUSHITA ELECTRON CORP

APPL NO: 05-10556

DATE FILED: Jan. 26, 1993

PATENT ABSTRACTS OF JAPAN

ABS GRP NO: E1628

ABS VOL NO: Vol. 18, No. 590

ABS PUB DATE: Nov. 10, 1994

INT-CL: H01L 29/784

ABSTRACT:

PURPOSE: To provide a high breakdown strength horizontal insulating gate type bipolar transistor capable of increasing an AD resistance while maintaining a breakdown voltage between drain and source.

CONSTITUTION: A extension drain region 12 and high concentration source regions 16 of a second conductivity type are formed on the surface of a semiconductor substrate 11 of a first conductivity type. A high concentration drain region 13 of the second conductivity type is formed on the surface of the extension drain region 12, and high concentration drain adjacent regions 14 of the first conductivity type are electrically connected to the high concentration drain region 13 and are formed so as to surround the high concentration drain region 13, and a top region 15 of the first conductivity type is electrically connected to the semiconductor substrate 11 and is formed so as to surround the drain adjacent regions 14. The distance X1 between the top region 15 and the drain adjacent regions 14 is set to, for example, 10. μ m which is a predetermined distance by which a resistance value between the top region 15 and the drain adjacent regions 14 is increased higher than a predetermined value.

Patent Abstracts of Japan

PUBLICATION NUMBER : 06224426
 PUBLICATION DATE : 12-08-94

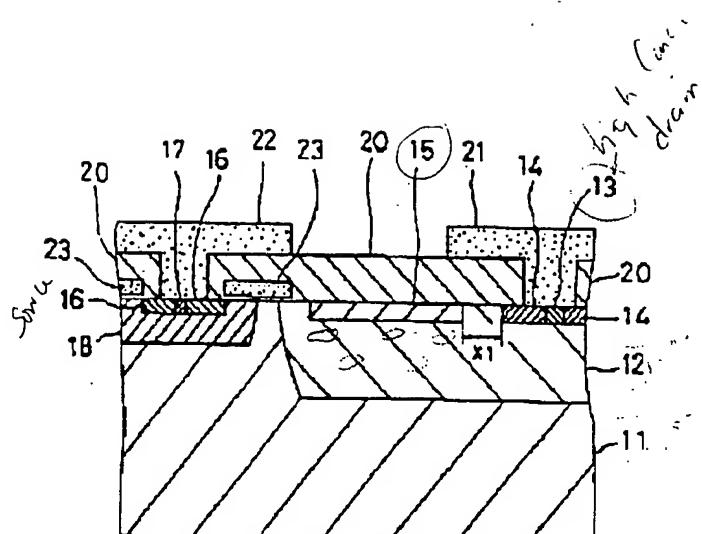
APPLICATION DATE : 26-01-93
 APPLICATION NUMBER : 05010556

APPLICANT : MATSUSHITA ELECTRON CORP;

INVENTOR : YAMANISHI YUJI;

INT.CL. : H01L 29/784

TITLE : SEMICONDUCTOR DEVICE



10

ABSTRACT : PURPOSE: To provide a high breakdown strength horizontal insulating gate type bipolar transistor capable of increasing an AD resistance while maintaining a breakdown voltage between drain and source.

CONSTITUTION: A extension drain region 12 and high concentration source regions 16 of a second conductivity type are formed on the surface of a semiconductor substrate 11 of a first conductivity type. A high concentration drain region 13 of the second conductivity type is formed on the surface of the extension drain region 12, and high concentration drain adjacent regions 14 of the first conductivity type are electrically connected to the high concentration drain region 13 and are formed so as to surround the high concentration drain region 13, and a top region 15 of the first conductivity type is electrically connected to the semiconductor substrate 11 and is formed so as to surround the drain adjacent regions 14. The distance X1 between the top region 15 and the drain adjacent regions 14 is set to, for example, 10 μ m which is a predetermined distance by which a resistance value between the top region 15 and the drain adjacent regions 14 is increased higher than a predetermined value.

COPYRIGHT: (C) JPO

Patent: JP406224426A

(2)

特開平6-224426

1

2

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、該半導体基板の表面部に形成された第2導電型の延長ドレイン領域と、該延長ドレイン領域の表面部に形成された第2導電型の高濃度ドレイン領域と、上記半導体基板の表面部における上記延長ドレイン領域の外部に形成された第2導電型の高濃度ソース領域と、上記延長ドレイン領域の表面部における上記高濃度ドレイン領域と高濃度ソース領域との間の部位に形成され且つ上記半導体基板と電気的に接続された第1導電型の頂上領域と、上記延長ドレイン領域の表面部における上記高濃度ドレイン領域と頂上領域との間で該高濃度ドレイン領域と隣接する部位に形成され且つ上記高濃度ドレイン領域と電気的に接続された第1導電型の高濃度のドレイン隣接領域とを備えており、上記頂上領域とドレイン隣接領域との間隔は、上記延長ドレイン領域における上記頂上領域とドレイン隣接領域との間の部位の抵抗値を所定値よりも増大させる4μm以上の所定距離に設定されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は高耐圧横型絶縁ゲート型バイポーラトランジスタ等の半導体装置に関する。

【0002】

【従来の技術】 以下、従来の半導体装置としての高耐圧横型絶縁ゲート型バイポーラトランジスタ（以降L-I GBTと称する）を図面に基づいて説明する。

【0003】 図3は上記従来の半導体装置としてのL-I GBT50を示す断面図である。図3において、第1導電型の半導体基板51の表面部には第2導電型の延長ドレイン領域52が形成され、該延長ドレイン領域52の表面部には、第2導電型の高濃度ドレイン領域53が形成され、該高濃度ドレイン領域53を取り囲むように第1導電型の高濃度のドレイン隣接領域54が形成されており、該ドレイン隣接領域54は高濃度ドレイン領域53と電気的に接続されている。さらに、延長ドレイン領域52の表面部には高濃度ドレイン領域53及びドレイン隣接領域54を取り囲むように第1導電型の頂上領域55が形成されており、該頂上領域55は半導体基板51と電気的に接続されている。また、半導体基板51の表面部には、第2導電型の高濃度ソース領域56が形成され、該高濃度ソース領域56の中央部に第1導電型の高濃度のソース隣接領域57が形成され、高濃度ソース領域56を取り囲むように第1導電型の高濃度のチャンネルストップ58が形成されている。そして、半導体基板51の表面上には、ドレイン隣接領域54から高濃度ソース領域56に亘るゲート酸化膜60と、高濃度ドレイン領域53及びドレイン隣接領域54と電気的に接続された断面T字形のドレイン電極61と、高濃度ソ-

ス領域56及びソース隣接領域57と電気的に接続された断面T字形のソース電極62とが形成されており、ゲート酸化膜60の内部には延長ドレイン領域52の端部から高濃度ソース領域56の端部に亘る多結晶シリコン膜からなるゲート電極63が形成されており、半導体基板51の表面部のゲート電極63下にチャンネルが形成される。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従来の半導体装置としてのL-I GBTにおいては、図3に示すような頂上領域とドレイン隣接領域との間隔X2が小さ過ぎると、ドレイン-ソース間の降伏電圧が低下するという欠点がある。

【0005】 そこで、考慮した結果、頂上領域とドレイン隣接領域との間隔X2を4μmに設定するとドレイン-ソース間の降伏電圧が低下しないことが判明した。

【0006】 ところが、インダクタンス負荷の回路に用いた場合に、ゲートオフ時にインダクタンスの逆起電力により、ドレイン-ソース間に内蔵されるダイオードが降伏し過大な降伏電流がドレイン-ソース間に流れることによって、高濃度ソース領域下の電圧降下が約0.7Vに達すると、第2導電型の高濃度ソース領域と第1導電型の半導体基板と第2導電型の延長ドレイン領域とかなるバイポーラトランジスタが動作し、温度上昇を引き起こし熱破壊に至るという課題に直面した。このときのL-I GBTの消費エネルギー量を当該L-I GBTのAD耐量と称する。

【0007】 本発明は上記に鑑みなされたものであって、ドレイン-ソース間の降伏電圧を維持しAD耐量を増大させることができる半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記の目的を達成するため、本発明は、延長ドレイン領域における頂上領域とドレイン隣接領域との間の部位の抵抗値を所定値よりも増大されることにより、第2導電型の高濃度ソース領域と第1導電型の半導体基板と第2導電型の延長ドレイン領域とかなるバイポーラトランジスタの動作を抑制することによってAD耐量を増大させるものである。

【0009】 具体的に本発明が講じた解決手段は、L-I GBT等の半導体装置を対象とし、第1導電型の半導体基板と、該半導体基板の表面部に形成された第2導電型の延長ドレイン領域と、該延長ドレイン領域の表面部に形成された第2導電型の高濃度ドレイン領域と、上記半導体基板の表面部における上記延長ドレイン領域の外部に形成された第2導電型の高濃度ソース領域と、上記延長ドレイン領域の表面部における上記高濃度ドレイン領域と高濃度ソース領域との間の部位に形成され且つ上記半導体基板と電気的に接続された第1導電型の頂上領域と、上記延長ドレイン領域の表面部における上記高濃度ソ-

Patent: JP406224426A

(3)

特開平6-224426

3

濃度ドレイン領域と頂上領域との間で該高濃度ドレイン領域と隣接する部位に形成され且つ上記高濃度ドレイン領域と電気的に接続された第1導電型の高濃度のドレイン隣接領域とを備えており、上記頂上領域とドレイン隣接領域との間隔は、上記延長ドレイン領域における上記頂上領域とドレイン隣接領域との間の部位の抵抗値を所定値よりも増大させる4μm以上の所定距離に設定されている構成とするものである。

【0010】

【作用】上記の構成により、頂上領域とドレイン隣接領域との間隔は4μm以上の距離に設定されている。このため、ドレインソース間の降伏電圧を低下させることなく維持することができる。

【0011】さらに、頂上領域とドレイン隣接領域との間隔は、延長ドレイン領域における頂上領域とドレイン隣接領域との間の部位の抵抗値を所定値よりも増大させる所定距離に設定されている。ここで、上記所定値とは、頂上領域とドレイン隣接領域との間隔が4μmである場合の、延長ドレイン領域における頂上領域とドレイン隣接領域との間の部位の抵抗値を意味する。

【0012】これにより、例えば、本発明に係る半導体装置をインダクタンス負荷の回路に用いた場合にゲートオフ時のインダクタンスの逆起電力によりドレインソース間に内蔵されるダイオードが降伏したとしても、延長ドレイン領域における頂上領域とドレイン隣接領域との間の部位の抵抗が大きいため、高濃度ソース領域下を流れる降伏電流は減少し、該降伏電流の減少分は半導体基板の表面部から裏面部に流れる。

【0013】このように、高濃度ソース領域下を流れる降伏電流を低減することができるため、高濃度ソース領域下の電圧降下を低く抑えることができる。

【0014】従って、第2導電型の高濃度ソース領域と第1導電型の半導体基板と第2導電型の延長ドレイン領域とからなるバイポーラトランジスタの動作を抑制することができるのでAD耐量を増大させることができるのである。

【0015】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。

【0016】図1は上記実施例に係る半導体装置としてのL-IGBT10を示す断面図である。図1において、第1導電型の半導体基板11の表面部には第2導電型の延長ドレイン領域12が島状に形成され、該延長ドレイン領域12の表面部には第2導電型の高濃度ドレイン領域13が形成され、延長ドレイン領域12の表面部における高濃度ドレイン領域13と隣接する部位に該高濃度ドレイン領域13を取り囲むように第1導電型の高濃度のドレイン隣接領域14が形成されており、該ドレイン隣接領域14は高濃度ドレイン領域13と電気的に接続されている。さらに、延長ドレイン領域12の表面

部には高濃度ドレイン領域13及びドレイン隣接領域14を取り囲むように第1導電型の頂上領域15が形成されており、該頂上領域15は半導体基板11と電気的に接続されており、頂上領域15とドレイン隣接領域14との間隔X1は延長ドレイン領域12における頂上領域15とドレイン隣接領域14との間の部位の抵抗値を所定値よりも増大させる4μm以上の所定距離である例えば10μmに設定されている。

【0017】また、半導体基板11の表面部における延長ドレイン領域12の外部には第2導電型の高濃度ソース領域16が形成され、該高濃度ソース領域16の中央部には第1導電型の高濃度のソース隣接領域17が形成され、半導体基板11の表面部における延長ドレイン領域12の外部において高濃度ソース領域16を取り囲むように第1導電型の高濃度のチャンネルストップ18が形成されている。

【0018】そして、半導体基板11の表面上には、ドレイン隣接領域14から高濃度ソース領域16に亘るゲート酸化膜20と、高濃度ドレイン領域13及びドレイン隣接領域14と電気的に接続された断面T字形のドレイン電極21と、高濃度ソース領域16及びソース隣接領域17と電気的に接続された断面T字形のソース電極22とが形成されており、ゲート酸化膜20の内部には延長ドレイン領域12の端部から高濃度ソース領域16の端部に亘って多結晶シリコン膜からなるゲート電極23が形成されており、半導体基板11の表面部のゲート電極23下にチャンネルが形成される。ここで、ソース隣接領域17は当該チャンネルの基板バイアス効果を抑制するために形成されている。

【0019】以上のように、本実施例に係る半導体装置としてのL-IGBT10においては、頂上領域15とドレイン隣接領域14との間隔X1は10μmに設定されているため、ドレインソース間の降伏電圧を低下させることなく維持することができる。

【0020】さらに、頂上領域15とドレイン隣接領域14との間隔X1が10μmに設定されていることにより、延長ドレイン領域12における頂上領域15とドレイン隣接領域14との間の部位の抵抗値が所定値よりも増大する。ここで、上記所定値とは、頂上領域15とドレイン隣接領域14との間隔X1が4μmである場合の、延長ドレイン領域12における頂上領域15とドレイン隣接領域14との間の部位の抵抗値を意味する。

【0021】これにより、例えば、L-IGBT10をインダクタンス負荷の回路に用いた場合にゲートオフ時のインダクタンスの逆起電力によりドレインソース間に内蔵されるダイオードが降伏したとしても、延長ドレイン領域12における頂上領域15とドレイン隣接領域14との間の部位の抵抗が大きいため、高濃度ソース領域16下を流れる降伏電流は減少し、該降伏電流の減少分は半導体基板11の表面部から裏面部に流れる。

Patent: JP406224426A

(4)

特開平6-224426

5

【0022】このように、高濃度ソース領域16下を流れる降伏電流を低減することができるため、高濃度ソース領域16下の電圧降下を低く抑えることができる。

【0023】従って、第2導電型の高濃度ソース領域16と第1導電型の半導体基板11と第2導電型の延長ドレイン領域12とからなるバイポーラトランジスタの動作を抑制することができるのでAD耐量を増大させることができる。

【0024】図2は、半導体装置のAD耐量と、頂上領域15とドレイン隣接領域14との間隔X1との関係を示しており、ここでは、 $X_1 = 4 \mu\text{m}$ の場合の半導体装置の単位面積当たりのAD耐量の値を1としている。図2に示すように、本実施例に係る半導体装置($X_1 = 10 \mu\text{m}$)によると $X_1 = 4 \mu\text{m}$ の場合に比較して単位面積当たりのAD耐量の値を1.7倍にすることができる。

【0025】

【発明の効果】以上説明したように、本発明に係る半導体装置によると、頂上領域とドレイン隣接領域との間隔が $4 \mu\text{m}$ 以上の距離に設定されているため、ドレイン-ソース間の降伏電圧を低下させることなく維持することができる。さらに、頂上領域とドレイン隣接領域との間隔が延長ドレイン領域における頂上領域とドレイン隣接領域との間の部位の抵抗値を所定値よりも増大させる所定距離に設定されているため、ドレイン-ソース間に内

蔵されるダイオードが降伏したとしても高濃度ソース領域下を流れる降伏電流が低減され高濃度ソース領域下の電圧降下を低く抑えることができる。このため、第2導電型の高濃度ソース領域と第1導電型の半導体基板と第2導電型の延長ドレイン領域とからなるバイポーラトランジスタの動作を抑制することができるのでAD耐量を増大させることができる。

【0026】従って、本発明によるとドレイン-ソース間の降伏電圧を維持しAD耐量を増大させることができ、半導体装置の過熱を防止し熱破壊から半導体装置を保護することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置を示す断面図である。

【図2】半導体装置のAD耐量と、頂上領域とドレイン隣接領域との間隔との関係を示す図である。

【図3】従来の半導体装置を示す断面図である。

【符号の説明】

20 10 L-IGBT (半導体装置)

11 半導体基板

12 延長ドレイン領域

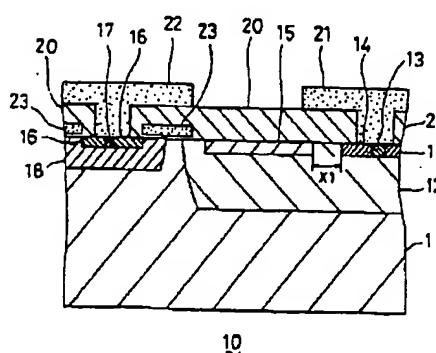
13 高濃度ドレイン領域

14 ドレイン隣接領域

15 頂上領域

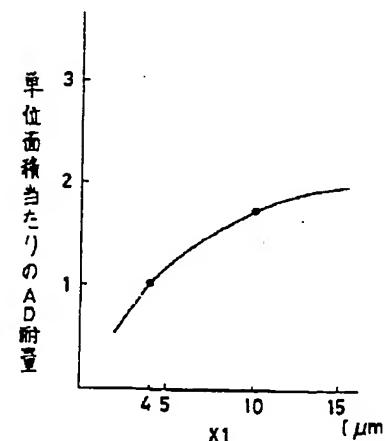
16 高濃度ソース領域

【図1】



10

【図2】



10 L-IGBT (半導体装置)

11 半導体基板

12 延長ドレイン領域

13 高濃度ドレイン領域

14 ドレイン隣接領域

15 頂上領域

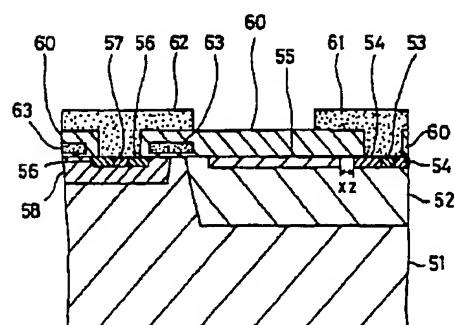
16 高濃度ソース領域

Patent: JP406224426A

(5)

特開平6-224426

【図3】



50